БЕЛОРУССКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ

ИНФОРМАТИКИ и РАДИОЭЛЕКТРОНИКИ

Факультет КСиС

Кафедра ЭВМ ФКСиС

**Контроль и диагностика средств вычислительной техники**

Лабораторная работа № 1

Синтез комбинационной схемы

и построение теста контроля

Минск

2018

**Задание на выполнение:**

1. Согласно варианту задания выбрать из таблицы 1 логическую функцию. Записать ДНФ логической функции и выполнить процедуру ее минимизации методом карт Карно.
2. Реализовать полученную функцию в двух базисах (в базисе элементов Шеффера и в базисе элементов Вебба) с произвольным числом входов.
3. Построить тесты контроля одной из схем «вручную» методом активизации одномерного пути в классе неисправностей константного типа входных, выходных и внутренних переменных.
4. Ознакомиться с программной системой моделирования и построения тестов VLSI\_SIM по презентационному и учебному фильмам.
5. Описать логические схемы и выполнить моделирование на построенных вручную тестах в программе SCA\_TIME.
6. Проанализировать полноту построенных тестов в системе VLSI\_SIM (SCA\_FAULT).
7. При необходимости достроить тест, доведя его полноту до 100%.
8. Подготовить электронную версию отчета. Ниже приведен пример оформления.

Таблица 1 Варианты заданий лабораторной работы №1

| **аргументы** | **X4** | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **X3** | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 |
| **X2** | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 |
| **X1** | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 |
|  | | | | | | | | | | | | | | | | |
| **n/n** | Ф У Н К Ц И Я Y |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| **1** | **0** | **1** | **0** | **1** | **1** | **0** | **1** | **0** | **0** | **0** | **0** | **0** | **1** | **0** | **1** | **0** |
| **2** | **0** | **0** | **1** | **0** | **0** | **1** | **1** | **1** | **0** | **0** | **1** | **0** | **0** | **0** | **1** | **1** |
| **3** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **1** | **1** | **1** | **1** | **1** | **0** | **0** | **1** | **1** |
| **4** | **1** | **1** | **0** | **1** | **0** | **1** | **0** | **1** | **0** | **0** | **0** | **1** | **0** | **0** | **0** | **1** |
| **5** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **1** | **0** | **1** | **0** | **0** | **0** | **1** | **1** |
| **6** | **1** | **1** | **1** | **1** | **0** | **0** | **0** | **1** | **1** | **0** | **1** | **0** | **0** | **0** | **0** | **0** |
| **7** | **1** | **1** | **1** | **1** | **0** | **0** | **0** | **0** | **0** | **1** | **0** | **1** | **0** | **0** | **0** | **1** |
| **8** | **0** | **1** | **0** | **1** | **1** | **1** | **1** | **1** | **0** | **0** | **0** | **0** | **1** | **0** | **0** | **0** |
| **9** | **1** | **0** | **1** | **0** | **0** | **0** | **0** | **0** | **1** | **1** | **1** | **1** | **1** | **1** | **0** | **0** |
| **10** | **1** | **0** | **1** | **0** | **1** | **0** | **0** | **0** | **1** | **0** | **1** | **0** | **1** | **1** | **0** | **0** |
| **11** | **0** | **0** | **0** | **0** | **0** | **1** | **1** | **1** | **0** | **0** | **1** | **1** | **0** | **0** | **1** | **1** |
| **12** | **0** | **1** | **0** | **1** | **0** | **0** | **0** | **0** | **1** | **0** | **0** | **0** | **0** | **0** | **0** | **0** |
| **13** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **1** | **1** | **1** | **0** | **1** | **0** | **0** | **0** | **1** |
| **14** | **0** | **0** | **1** | **0** | **1** | **1** | **1** | **1** | **0** | **0** | **1** | **1** | **0** | **0** | **1** | **0** |
| **15** | **0** | **0** | **1** | **1** | **1** | **0** | **0** | **0** | **1** | **0** | **1** | **1** | **0** | **1** | **0** | **0** |
| **16** | **0** | **0** | **1** | **0** | **0** | **0** | **1** | **1** | **0** | **0** | **1** | **0** | **0** | **1** | **1** | **1** |
| **17** | **1** | **1** | **0** | **1** | **1** | **0** | **0** | **0** | **1** | **1** | **0** | **0** | **1** | **0** | **0** | **0** |
| **18** | **0** | **1** | **0** | **1** | **1** | **1** | **1** | **1** | **0** | **0** | **0** | **0** | **0** | **0** | **1** | **0** |
| **19** | **0** | **1** | **0** | **1** | **0** | **1** | **0** | **1** | **1** | **1** | **0** | **0** | **0** | **1** | **0** | **0** |
| **20** | **1** | **1** | **1** | **1** | **1** | **0** | **0** | **0** | **0** | **0** | **1** | **1** | **0** | **0** | **0** | **0** |
| **21** | **0** | **0** | **1** | **1** | **0** | **0** | **0** | **0** | **1** | **0** | **1** | **1** | **0** | **1** | **0** | **0** |
| **22** | **0** | **1** | **1** | **1** | **0** | **0** | **0** | **1** | **0** | **0** | **1** | **1** | **0** | **0** | **0** | **1** |
| **23** | **0** | **0** | **1** | **0** | **1** | **1** | **1** | **1** | **0** | **0** | **1** | **1** | **0** | **0** | **1** | **0** |
| **24** | **0** | **0** | **0** | **0** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **0** | **1** | **0** | **0** |
| **25** | **0** | **1** | **0** | **1** | **1** | **1** | **1** | **1** | **0** | **0** | **1** | **0** | **0** | **0** | **1** | **1** |
| **26** | **0** | **1** | **0** | **1** | **1** | **1** | **1** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **1** | **1** |
| **27** | **1** | **1** | **1** | **1** | **0** | **1** | **0** | **0** | **1** | **1** | **0** | **0** | **0** | **1** | **0** | **0** |
| **28** | **1** | **0** | **1** | **0** | **1** | **1** | **0** | **0** | **1** | **1** | **1** | **1** | **0** | **0** | **0** | **0** |
| **29** | **0** | **1** | **0** | **1** | **0** | **0** | **1** | **1** | **1** | **1** | **1** | **1** | **0** | **0** | **0** | **0** |
| **30** | **1** | **0** | **1** | **0** | **1** | **1** | **1** | **0** | **0** | **0** | **1** | **0** | **1** | **0** | **1** | **0** |
| **31** | **1** | **0** | **0** | **0** | **1** | **1** | **1** | **0** | **1** | **1** | **0** | **0** | **1** | **1** | **0** | **0** |
| **32** | **1** | **1** | **1** | **0** | **1** | **1** | **0** | **0** | **1** | **1** | **1** | **1** | **0** | **1** | **0** | **1** |
| **33** | **1** | **0** | **1** | **0** | **0** | **1** | **0** | **0** | **0** | **1** | **0** | **0** | **1** | **1** | **1** | **1** |
| **34** | **1** | **1** | **1** | **1** | **1** | **0** | **0** | **0** | **0** | **1** | **1** | **1** | **0** | **1** | **1** | **1** |
| **35** | **0** | **0** | **1** | **0** | **1** | **0** | **1** | **0** | **1** | **0** | **1** | **1** | **1** | **0** | **1** | **1** |

2.3 Метод активизации одномерного пути

Построим тест для неисправности константного типа - ≡0 на выходе элемента А3 (рисунок 2.3). Метод активизации одномерного пути включает три этапа:

1) Этап активизации неисправности. Он заключается в обеспечении разных логических состояний соответствующей линии в исправной и неисправной схемах в терминах логических состояний входов элемента, в данном случае входов элемента А3. Для того, чтобы в исправном состоянии схемы на выходе элемента А3 установился сигнал логической 1, на входах элемента должно быть обеспечено состояние (11).

2) Этап транспортировки неисправности к выходу схемы. На данном этапе необходимо выбрать один из возможных путей от места неисправности к выходу (или к одному из выходов) схемы, и попытаться обеспечить условия транспортировки неисправности таким образом, чтобы на выходе схемы сохранилось различие логического состояния исправной и неисправной схем.

Вначале пытаемся транспортировать неисправность на выход схемы через элемент А4. Условием транспортировки неисправности через элемент А4 является обеспечение состояния логического 0 на выходе элемента А1, что невозможно, так как на предыдущем этапе уже произошло означивание переменной выхода элемента А1 состоянием логической 1. Возникший логический конфликт приводит к необходимости выбора другого пути для транспортировки неисправности, если он существует. В данном примере пытаемся транспортировать неисправность через элемент А5. Для этого устанавливаем на X4 состояние логического 0. Далее продвигаем неисправность через элемент А6, обеспечивая на выходе элемента А4 состояние логической 1.

В результате выполнения фазы активизации неисправности и транспортировки ее к выходу схемы получаем условие наблюдаемости неисправности в точке ее возникновения и на выходе схемы в виде системы булевых уравнений

FA1 =1,

FA2 =1, (1)

FX4 =0,

FA4 =0,

3) Этап обратного прохода (или расширения фиксации). На данном этапе обратным путем пытаемся обеспечить все условия транспортировки неисправности, которые были получены на втором этапе, решая систему уравнений (1). В данном случае необходимо обеспечить состояния логической 1 на выходах элементов А1 иА2. Заметим, что в результате решения системы уравнений (1) условиям обнаружения неисправности удовлетворяет множество входных наборов X = {0000, 0010, 0100, 1000, 1010}.



Рисунок 2.3 – Построение теста методом активизации одномерного пути

Особенности метода активизации одномерного пути:

1) При транспортировке неисправности к выходу (при прямом проходе), а так же при обратном проходе возможно возникновение конфликтов при означивании переменных. Это приводит к большим переборам при решении задачи.

2) Метод очувствления одномерного пути не всегда гарантирует построение теста, если он существует.

Пример оформления

БЕЛОРУССКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ

ИНФОРМАТИКИ и РАДИОЭЛЕКТРОНИКИ

Факультет КСиС

Кафедра ЭВМ ФКСиС

Контроль и диагностика средств вычислительной техники

Лабораторная работа № 1

Синтез комбинационной схемы

и построение теста контроля

Вариант № \*\*

Ст. гр. \*\*\*\*\*\* Преподаватель:

Роденя Е.И. доцент каф. ЭВМ ФКСиС

Золоторевич Л. А.

Минск

2017

**1 Исходная функция:**

Таблица 1 – Таблица истинности

| X4 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| X3 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 |
| X2 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 |
| X1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 |
| Y | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 |

**2 Минимизация функции методом Карт Карно**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| X1 X2  X3 X4 | 00 | 01 | 11 | 10 |
| 00 | 0 | 0 | 1 | 1 |
| 01 | 0 | 0 | 0 | 0 |
| 11 | 0 | 1 | 1 | 0 |
| 10 | 1 | 1 | 1 | 1 |

**3 Преобразование функции для реализации в базисе Шеффера**

**(И-НЕ):**

**4 Преобразование функции для реализации в базисе Вебба (ИЛИ-НЕ):**

**5 Построение тестов контроля схемы, выполненной в базисе Вебба**

5.1 Неисправность const 0 на первичном входе X4 . Для данной неисправности найдены тестовые наборы {1011;0011} (см. рисунок 5.1).



Рисунок 5.1 – Построение теста для неисправности «const 0 на первичном входе X4»методом очувствления одномерного пути (выделен красным)

5.2 Неисправность const 1 на первичном входе X4 . Для данной неисправности найден тестовый набор {0010} (см. рисунок 5.2).



Рисунок 5.2 – Построение теста для неисправности «const 1 на первичном входе X4»методом очувствления одномерного пути (выделен красным)

5.3 Неисправность const 0 на первичном входе X3 . Для данной неисправности найдены тестовые наборы {0111;1111} (см. рисунок 5.3).



Рисунок 5.3 – Построение теста для неисправности «const 0 на первичном входе X3»методом очувствления одномерного пути (выделен красным)

5.4 Неисправность const 1 на первичном входе X3 . Для данной неисправности найдены тестовые наборы {0101;1101} (см. рисунок 5.4).



Рисунок 5.4 – Построение теста для неисправности «const 1 на первичном входе X3»методом очувствления одномерного пути (выделен красным)

5.5 Неисправность const 0 на первичном входе X2 . Для данной неисправности найдены тестовые наборы {0111,1111} (см. рисунок 5.5).



Рисунок 5.5 – Построение теста для неисправности «const 0 на первичном входе X2»методом очувствления одномерного пути (выделен красным)

5.6 Неисправность const 1 на первичном входе X2 . Для данной неисправности найдены тестовые наборы {0011,1011} (см. рисунок 5.6).



Рисунок 5.6 – Построение теста для неисправности «const 1 на первичном входе X2»методом очувствления одномерного пути (выделен красным)

5.7 Неисправность const 0 на первичном входе X1. Для данной неисправности найдены тестовые наборы {1000,1100} (см. рисунок 5.7).



Рисунок 5.7 – Построение теста для неисправности «const 0 на первичном входе X1»методом очувствления одномерного пути (выделен красным)

5.8 Неисправность const 1 на первичном входе X1. Для данной неисправности найдены тестовые наборы {0000,0100} (см. рисунок 5.8).



Рисунок 5.8 – Построение теста для неисправности «const 1 на первичном входе X1»методом очувствления одномерного пути (выделен красным)

5.9 Неисправность const 0 на выходе элемента А1. Для данной неисправности найдены тестовые наборы {0101;1101} (см. рисунок 5.9).



Рисунок 5.9 – Построение теста для неисправности «const 0 на выходе элемента А1»методом очувствления одномерного пути (выделен красным)

5.10 Неисправность const 1 на выходе элемента А1. Для данной неисправности найдены тестовые наборы {0111;1111} (см. рисунок 5.10).



Рисунок 5.10 – Построение теста для неисправности «const 1 на выходе элемента А1»методом очувствления одномерного пути (выделен красным)

5.11 Неисправность const 0 на выходе элемента А2. Для данной неисправности найдены тестовые наборы {0011,1011} (см. рисунок 5.11).



Рисунок 5.11 – Построение теста для неисправности «const 1 на выходе элемента А2»методом очувствления одномерного пути (выделен красным)

5.12 Неисправность const 1 на выходе элемента А2. Для данной неисправности найдены тестовые наборы {0111,1111} (см. рисунок 5.12).



Рисунок 5.12 – Построение теста для неисправности «const 1 на выходе элемента А2»методом очувствления одномерного пути (выделен красным)

5.13 Неисправность const 0 на выходе элемента А3. Для данной неисправности найдены тестовые наборы {0000,0100} (см. рисунок 5.13).



Рисунок 5.13 – Построение теста для неисправности «const 0 на выходе элемента А3»методом очувствления одномерного пути (выделен красным)

5.14 Неисправность const 1 на выходе элемента А3. Для данной неисправности найдены тестовые наборы {1000,1100} (см. рисунок 5.14).



Рисунок 5.14 – Построение теста для неисправности «const 1 на выходе элемента А3»методом очувствления одномерного пути (выделен красным)

5.15 Неисправность const 0 на выходе элемента В1. Для данной неисправности найдены тестовые наборы {0010} (см. рисунок 5.15).



Рисунок 5.15 – Построение теста для неисправности «const 0 на выходе элемента В1»методом очувствления одномерного пути (выделен красным)

5.16 Неисправность const 1 на выходе элемента В1. Для данной неисправности найдены тестовые наборы {0011,1011,0000,0100,0001,0101,1001,1101} (см. рисунок 5.16).



Рисунок 5.16 – Построение теста для неисправности «const 1 на выходе элемента В1»методом очувствления одномерного пути (выделен красным)

5.17 Неисправность const 0 на выходе элемента В2. Для данной неисправности найдены тестовые наборы {0111,1111} (см. рисунок 5.17).



Рисунок 5.17 – Построение теста для неисправности «const 0 на выходе элемента В2»методом очувствления одномерного пути (выделен красным)

5.18 Неисправность const 1 на выходе элемента В2. Для данной неисправности найдены тестовые наборы {0011,1011,0100,0101,0000,0001} (см. рисунок 5.18).



Рисунок 5.18 – Построение теста для неисправности «const 1 на выходе элемента В2»методом очувствления одномерного пути (выделен красным)

5.19 Неисправность const 0 на выходе элемента В3. Для данной неисправности найдены тестовые наборы {1000,1100} (см. рисунок 5.19).



Рисунок 5.19 – Построение теста для неисправности «const 0 на выходе элемента В3»методом очувствления одномерного пути (выделен красным)

5.20 Неисправность const 1 на выходе элемента В3. Для данной неисправности найдены тестовые наборы {0000,0100,1001,1011,0001,0011}

(см. рисунок 5.20).

Рисунок 5.20 – Построение теста для неисправности «const 1 на выходе элемента В3»методом очувствления одномерного пути (выделен красным)

5.21 Неисправность const 0 на выходе элемента C1. Для данной неисправности найдены тестовые наборы {0000,0100,1001,1011,0001,0011,0101} (см. рисунок 5.21).



Рисунок 5.20 – Построение теста для неисправности «const 0 на выходе элемента C1»методом очувствления одномерного пути (выделен красным)

5.22 Неисправность const 1 на выходе элемента C1. Для данной неисправности найдены тестовые наборы {0010,0110,1010,1110,0111,1111,1000,1100} (см. рисунок 5.22).



Рисунок 5.22 – Построение теста для неисправности «const 1 на выходе элемента C1»методом очувствления одномерного пути (выделен красным)

5.23 Неисправность const 0 на выходе элемента D1. Для данной неисправности найдены тестовые наборы {0010,0110,1010,1110,0111,1111,1000,1100} (см. рисунок 5.23).



Рисунок 5.23 – Построение теста для неисправности «const 0 на выходе элемента C1»методом очувствления одномерного пути (выделен красным)

5.24 Неисправность const 1 на выходе элемента D1. Для данной неисправности найдены тестовые наборы {0001,0011,1001,1011} (см. рисунок 5.24).



Рисунок 5.24 – Построение теста для неисправности «const 1 на выходе элемента C1»методом очувствления одномерного пути (выделен красным)

**6 Формируем таблицу функций неисправностей (таблица 2).**

**Решаем задачу нахождения минимального строкового покрытия.**

Таблица 2- Таблица функций неисправностей (столбцы-неисправности константного типа, строки – тестовые наборы)

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | 15 | 16 | 17 | 18 | 19 | 20 | 21 | 22 | 23 | 24 |
| 0000 |  |  |  |  |  |  |  | 1 |  |  |  |  | 1 |  |  | 1 |  | 1 |  | 1 | 1 |  |  |  |
| 0001 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | 1 |  | 1 |  | 1 | 1 |  |  | 1 |
| 0010 |  | 1 |  |  |  |  |  |  |  |  |  |  |  |  | 1 |  |  |  |  |  |  | 1 | 1 |  |
| 0011 | 1 |  |  |  |  | 1 |  |  |  |  | 1 |  |  |  |  | 1 |  | 1 |  | 1 | 1 |  |  | 1 |
| 0100 |  |  |  |  |  |  |  | 1 |  |  |  |  | 1 |  |  | 1 |  | 1 |  | 1 | 1 |  |  |  |
| 0101 |  |  |  | 1 |  |  |  |  | 1 |  |  |  |  |  |  | 1 |  | 1 |  |  | 1 |  |  |  |
| 0110 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | 1 | 1 |  |
| 0111 |  |  | 1 |  | 1 |  |  |  |  | 1 |  | 1 |  |  |  |  | 1 |  |  |  |  | 1 | 1 |  |
| 1000 |  |  |  |  |  |  | 1 |  |  |  |  |  |  | 1 |  |  |  |  | 1 |  |  | 1 | 1 |  |
| 1001 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | 1 |  |  |  | 1 | 1 |  |  | 1 |
| 1010 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | 1 | 1 |  |
| 1011 | 1 |  |  |  |  | 1 |  |  |  |  | 1 |  |  |  |  | 1 |  | 1 |  | 1 | 1 |  |  | 1 |
| 1100 |  |  |  |  |  |  | 1 |  |  |  |  |  |  | 1 |  |  |  |  | 1 |  |  | 1 | 1 |  |
| 1101 |  |  |  | 1 |  |  |  |  | 1 |  |  |  |  |  |  | 1 |  |  |  |  |  |  |  |  |
| 1110 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | 1 | 1 |  |
| 1111 |  |  | 1 |  | 1 |  |  |  |  | 1 |  | 1 |  |  |  |  | 1 |  |  |  |  | 1 | 1 |  |

**7 Тестовая последовательность {0010,0100,0101,0111,1011,1100}**

**8 Описание структурной схемы в программной системе VLSI-SIM**

circuit Pirs;

inputs X1(1), X2(1), X3(1), X4(1);

outputs D1(1);

GATES

A1 'NOR'(1) X3(1);

A2 'NOR'(1) X2(1);

A3 'NOR'(1) X1(1);

B1 'NOR'(1) A1(1), X4(1);

B2 'NOR'(1) A1(1), A2(1);

B3 'NOR'(1) A3(1), X4(1);

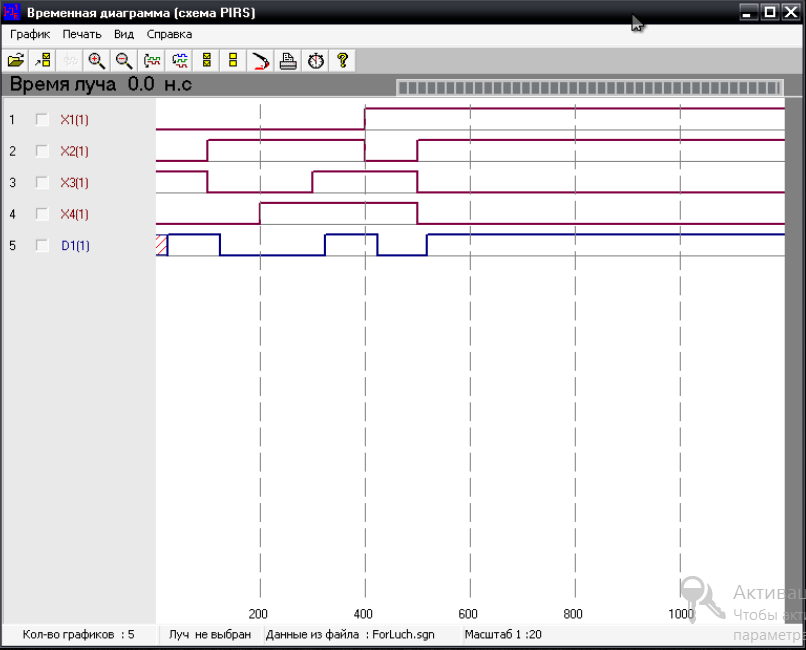
C1 'NOR'(1) B1(1), B2(1), B3(1);

D1 'NOR'(1) C1(1);

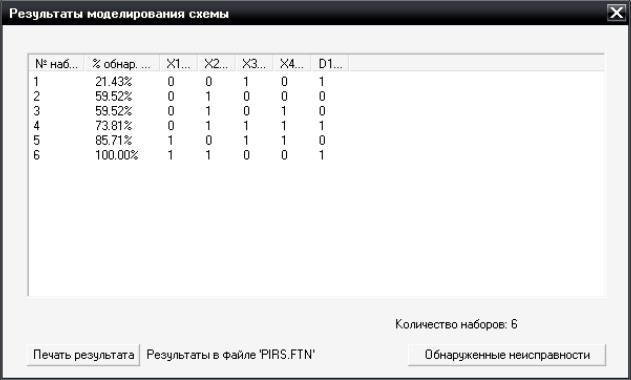
ENDGATES

END

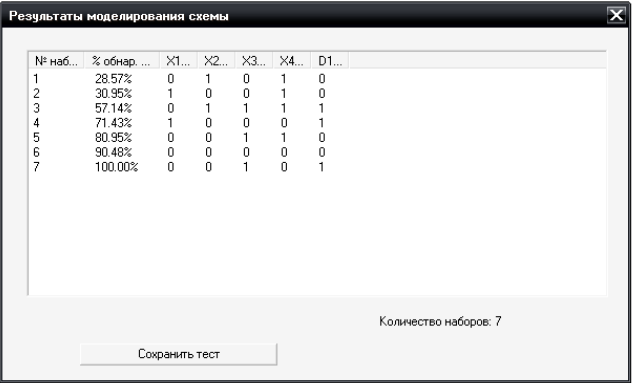
**9 Результаты моделирования в программной системе VLSI-SIM (функция SCA-TIME)**



**9 Результаты моделирования неисправностей в программной системе VLSI-SIM (функция SCA-FAULT)**



**10 Автоматическое построение теста в программной системе VLSI-SIM (функция SCA-GENER)**



**11 Описание структурной схемы, реализованной в базисе Шеффера, в программной системе VLSI-SIM**

circuit Sheffer;

inputs X1(1),X2(1),X3(1),X4(1);

outputs C1(1);

GATES

A1 'NAND'(1) X4(1);

B1 'NAND'(1) A1(1), X1(1);

B2 'NAND'(1) X2(1), X3(1);

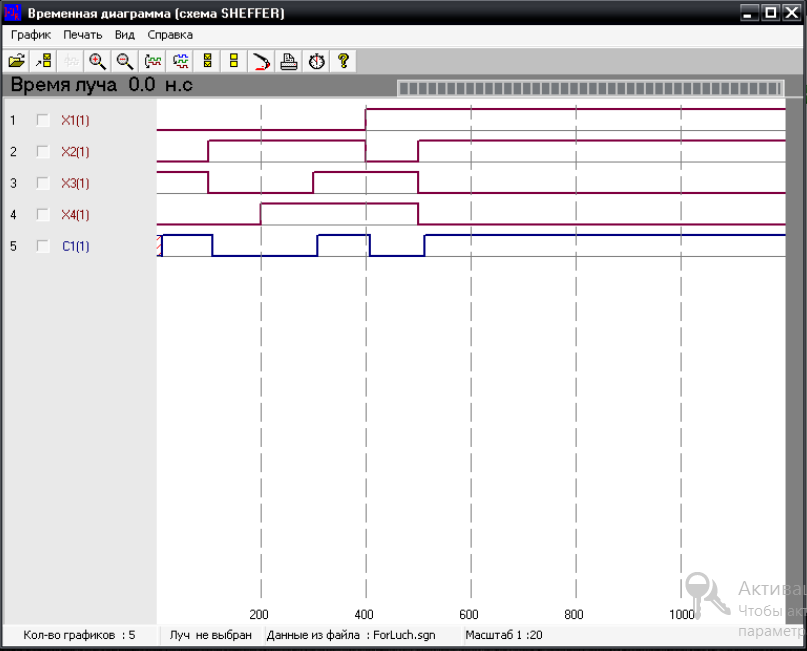
B3 'NAND'(1) A1(1), X3(1);

C1 'NAND'(1) B1(1), B2(1), B3(1);

ENDGATES

END

**12 Моделирование схемы**



**13 Сравнение результатов моделирования**

Результаты динамического моделирования схем в разных технологических базисах в данном случае совпали. Это значит, что в схемах критических состязаний сигналов не выявлено.

**ВЫВОДЫ:**

Метод очувствления одномерного пути обеспечил построение теста контроля со 100 % покрытием неисправностей константного типа, что подтверждено программной генерацией теста и анализом полноты теста в системе VLSI-SIM.